

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-007370
 (43)Date of publication of application : 10.01.1997

(51)Int.CI. G11C 11/407

(21)Application number : 08-151404 (71)Applicant : SAMSUNG ELECTRON CO LTD
 (22)Date of filing : 12.06.1996 (72)Inventor : KIN SHUNEI

(30)Priority

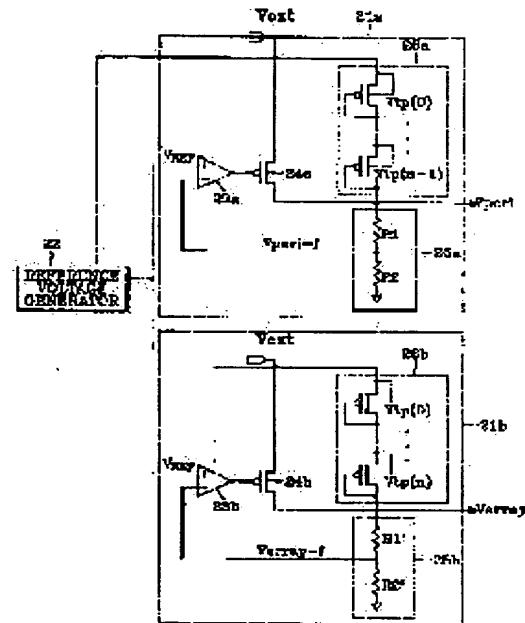
Priority number : 95 9515394 Priority date : 12.06.1995 Priority country : KR

(54) INTERNAL POWER SUPPLY VOLTAGE GENERATING CIRCUIT OF SEMICONDUCTOR MEMORY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain the internal power supply voltage generating circuit having the output characteristics, wherein the memory array internal power supply voltage and the peripheral internal power supply voltage follow with the difference at clamping levels being maintained even when an external power supply voltage rises up.

SOLUTION: A peripheral internal power supply voltage Vperi and a memory array internal power supply voltage Varray having the different levels are generated from a peripheral internal power supply voltage generating circuit 21a and a memory array internal power supply voltage generating circuit 21b. At the same time, when an outer power supply voltage Vext rises up, the Vperi and the Varray are increased by voltage increasing circuits 26a and 26b accompanied by the Vext. The voltage increasing circuits 26a and 26b having the different voltage drop values are used in the internal power supply voltage generating circuit 21a and the internal power supply voltage generating circuit 21b, and the Vperi and the Varray are increased at the specified level difference. The change of the voltage drop characteristics can be performed by the change of the number of the voltage drop elements and the voltage of the threshold value.



LEGAL STATUS

[Date of request for examination] 12.06.1996
 [Date of sending the examiner's decision of rejection] 18.08.1998
 [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(51)Int.Cl.⁶
G 1 1 C 11/407

識別記号

府内整理番号

F I

G 1 1 C 11/34

技術表示箇所

3 5 4 F

審査請求 有 請求項の数 7 O L (全 7 頁)

(21)出願番号 特願平8-151404
 (22)出願日 平成8年(1996)6月12日
 (31)優先権主張番号 1995 P 15394
 (32)優先日 1995年6月12日
 (33)優先権主張国 韓国 (KR)

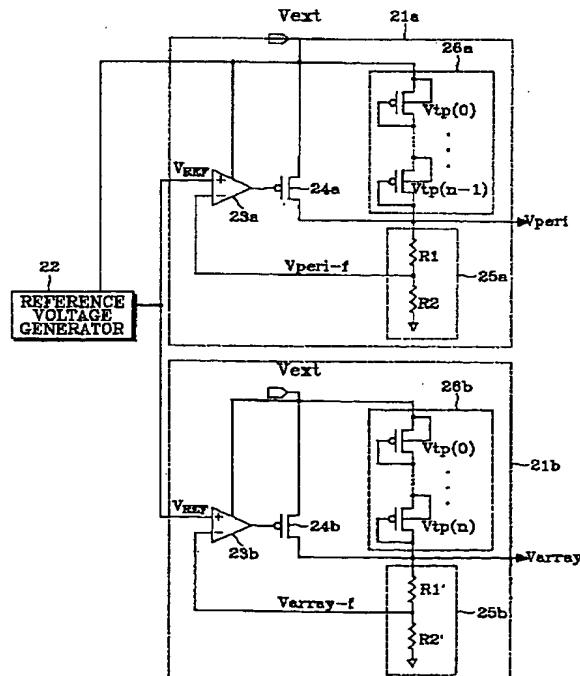
(71)出願人 390019839
 三星電子株式会社
 大韓民国京畿道水原市八達区梅灘洞416
 (72)発明者 金 崔永
 大韓民国ソウル特別市江南区道谷洞895番
 地8号
 (74)代理人 弁理士 高月 猛

(54)【発明の名称】 半導体メモリ装置の内部電源電圧発生回路

(57)【要約】

【課題】 外部電源電圧が上昇する場合でも、メモリアレイ内部電源電圧と周辺内部電源電圧がクランプレベルにおける差分を保って追従する出力特性の内部電源電圧発生回路を提供する。

【解決手段】 周辺内部電源電圧発生回路21aとメモリアレイ内部電源電圧発生回路21bとからレベルの異なる周辺内部電源電圧Vperi及びメモリアレイ内部電源電圧Varayを発生すると共に、外部電源電圧Vextが上昇するときには、電圧上昇回路26a, 26bによりVextに伴いVperi及びVarayを上昇させる内部電源電圧発生回路について、内部電源電圧発生回路21aと内部電源電圧発生回路21bとに電圧降下値の異なる電圧上昇回路26a, 26bを使用し、所定のレベル差をもってVperi及びVarayを上昇させるようとする。電圧降下特性の変更は電圧降下素子の個数やしきい値電圧の調整で可能である。



【特許請求の範囲】

【請求項1】 周辺内部電源電圧発生回路とメモリアレイ内部電源電圧発生回路とを備えてレベルの異なる周辺回路用の周辺内部電源電圧及びメモリアレイ用のメモリアレイ内部電源電圧を外部電源電圧から発生すると共に、外部電源電圧が上昇するときには、電圧降下素子で構成した電圧上昇回路により外部電源電圧に伴い周辺内部電源電圧及びメモリアレイ内部電源電圧を上昇させるようになった内部電源電圧発生回路において、周辺内部電源電圧発生回路とメモリアレイ内部電源電圧発生回路とに電圧降下値の異なる電圧上昇回路を使用し、所定のレベル差をもって周辺内部電源電圧とメモリアレイ内部電源電圧とを上昇させるようにしたことを特徴とする内部電源電圧発生回路。

【請求項2】 外部電源電圧を一定レベル降下させ、周辺回路用の内部電源電圧及びメモリアレイ用の内部電源電圧を供給する半導体メモリ装置の内部電源電圧発生回路において、

各内部電源電圧をそれぞれ分圧する第1及び第2の分圧回路と、一定の比較電圧と前記第1及び第2の分圧回路の各出力電圧とをそれぞれ比較する第1及び第2の差動増幅器と、該第1及び第2の差動増幅器の各出力に従って、外部電源電圧から各内部電源電圧をそれぞれ発生する第1及び第2の駆動回路と、外部電源電圧が上昇する場合に、前記第1の駆動回路による内部電源電圧と前記第2の駆動回路による内部電源電圧との間に所定のレベル差を保ってこれら各内部電源電圧をそれぞれ上昇させる第1及び第2の電圧上昇回路と、を備えることを特徴とする内部電源電圧発生回路。

【請求項3】 電圧上昇回路がPMOSトランジスタで構成される請求項1又は請求項2記載の内部電源電圧発生回路。

【請求項4】 PMOSトランジスタの個数が各電圧上昇回路で異なる請求項3記載の内部電源電圧発生回路。

【請求項5】 PMOSトランジスタのしきい値電圧が各電圧上昇回路で異なる請求項3記載の内部電源電圧発生回路。

【請求項6】 メモリアレイ用の内部電源電圧に対する電圧上昇回路により駆動される電圧が、周辺回路用の内部電源電圧に対する電圧上昇回路により駆動される電圧よりも低い請求項1～5のいずれか1項に記載の内部電源電圧発生回路。

【請求項7】 半導体メモリ装置に供給される外部電源電圧を変換して内部電源電圧を発生する内部電源電圧発生回路において、

周辺内部電源電圧を周辺回路に供給する第1の内部電源電圧発生回路及び前記周辺内部電源電圧より低いメモリアレイ内部電源電圧をメモリアレイに供給する第2の内部電源電圧発生回路を備え、これら第1及び第2の内部電源電圧発生回路は、周辺内部電源電圧及びメモリアレイ

内部電源電圧をそれぞれ一定の比率で分圧した第1及び第2の分圧電圧と一定の比較電圧とをそれぞれ比較する第1及び第2の比較器と、該第1及び第2の比較器による各比較出力にそれぞれ応じて外部電源電圧から周辺内部電源電圧及びメモリアレイ内部電源電圧をそれぞれ出力する第1及び第2の駆動回路と、それぞれ電圧降下素子を有してなり、外部電源電圧をその電圧降下素子に通した結果の各電圧がそれぞれ周辺内部電源電圧及びメモリアレイ内部電源電圧よりも高くなるときに周辺内部電源電圧及びメモリアレイ内部電源電圧をそれぞれ前記電圧降下素子を通した各電圧として出力する第1及び第2の電圧上昇回路と、から構成され、外部電源電圧が上昇した場合に、周辺内部電源電圧及びメモリアレイ内部電源電圧が一定のレベル差を有して上昇するように、前記第1及び第2の電圧上昇回路の電圧降下特性を変えてあることを特徴とする内部電源電圧発生回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は電源電圧変換回路に関し、特に、半導体メモリ装置で使用される内部電源電圧発生回路に関する。

【0002】

【従来の技術】半導体メモリ装置の超高集積化につれてトランジスタのサイズも減少しており、これによる電流駆動力の低下を補償するためにトランジスタのゲート酸化膜厚は薄くなる傾向にある。この場合、ゲート酸化膜の信頼特性を維持するために内部電源電圧発生回路を用いて、チップに供給する外部電源電圧(V_{ext})を一定電圧へ降下させて内部電源電圧(V_{int})を発生し、使用するようにしている。このような内部電源電圧発生回路としてメモリでは、メモリセルのデータを増幅するプリセンスアンプ(pre Sense amplifier)端等に電源電圧を供給するためのメモリアレイ内部電源電圧(V_{array})発生回路と、周辺回路に電源電圧を供給するための周辺内部電源電圧(V_{peri})発生回路と、が使用される。通常、メモリアレイ内部電源電圧発生回路を使用する半導体メモリ装置においては、動作電流を減少させてビットラインの等化特性を改善するために、メモリアレイ内部電源電圧 V_{array} を周辺内部電源電圧 V_{peri} より低く設定している。

【0003】図1は、メモリセルのデータを感知するための感知回路及び感知制御回路を示す。このようなデータ感知回路に関する技術は、本願出願人による韓国特許出願第91-13279号や、「1989 IEEE Journal of Solid State Circuits vol.24」のページ1173にある論文「A 45ns 16Mbit DRAM with Triple Well Structure」に開示のものがある。

【0004】図1には、メモリセル1と、折り返し(folded)ビットライン構造の一対のビットライン2, 3と、ビットライン対2, 3をプリチャージするためのブ

リチャージ手段4と、ビットライン対2, 3を等化するための等化手段10と、等化手段10の動作を制御する等化活性化信号発生器5と、NMOSセンスアンプ6と、このNMOSセンスアンプ6への接地電圧供給を制御するNMOSセンスアンプ制御手段8と、PMOSセンスアンプ7と、このPMOSセンスアンプ7への電源電圧供給を制御するPMOSセンスアンプ制御手段9と、からなる構成が図示されている。PMOSセンスアンプ制御手段9は、PMOSセンスアンプ7へ供給する電源電圧のレベルをメモリアレイ内部電源電圧Varrayのレベルに維持するための差動増幅器9-aと、ノードLAにメモリアレイ内部電源電圧Varrayを発生する駆動トランジスタ9-bと、この駆動トランジスタ9-bのゲートノードLAPGを制御するレベルシフタ9-cと、からなる。

【0005】図2は、図1に示した回路の動作タイミング図である。ワードラインWLの選択前、等化信号EQEが等化活性化信号発生器5により論理“ハイ”状態にあると、ビットライン対2, 3は等化レベルV_{BL} (V_{BL}はVarray/2と同等)にプリチャージされ、そして、等化信号EQEが論理“ロウ”状態になると、ビットライン対2, 3がフローティング状態になる。

【0006】メモリセル1内のトランジスタゲートと接続されたワードラインWLが選択されれば、このメモリセル1内のキャパシタに貯蔵されている電荷がビットライン2に電荷分配(charge sharing)され、これによりビットライン対2, 3の間に微小な電圧差が発生する。そして、NMOSセンスアンプ制御手段8に対するセンスアンプ活性化信号NSEが論理“ハイ”で供給されてNMOSセンスアンプ6の動作が開始されることにより、ビットライン対2, 3中の相対的に電位の低いビットラインが接地電圧レベルへ変化する。次いで、PMOSセンスアンプ制御手段9に対するセンスアンプ活性化信号PSEが論理“ハイ”で供給されることにより差動増幅器9-aが動作し、ノードLAにメモリアレイ内部電源電圧Varrayが供給される。これによるPMOSセンスアンプ7の動作で、ビットライン対2, 3中の相対的に電位の高いビットラインがメモリアレイ内部電源電圧Varrayレベルへ変化する。

【0007】このような回路構成において、メモリアレイ内部電源電圧Varrayのレベルが周辺内部電源電圧V_{peri}のレベルより低い場合、ワードラインWLが非活性化されたときに供給される等化信号EQEの論理“ハイ”レベルが周辺内部電源電圧V_{peri}になることにより、接地電圧V_{ss}とメモリアレイ内部電源電圧Varrayの各レベルに増幅されたビットライン対2, 3の等化時間を短縮することが可能である。即ち、等化信号EQEが周辺内部電源電圧V_{peri}のレベルで供給される場合、メモリアレイ内部電源電圧Varrayのレベルで供給される場合よりもプリチャージ手段4及び等化手段10

内のトランジスタを十分な飽和領域 (V_{gs} > V_{ds} - V_t : V_tはしきい値電圧) で動作させることができるからである。このように、メモリアレイ内部電源電圧V_{array}を周辺内部電源電圧V_{peri}よりも低くすることにより、ビットライン等化特性を改善することができる。これは、図2に示したi) V_{peri} > V_{array}のときのビットライン等化時間t_aと、ii) V_{peri} ≤ V_{array}のときのビットライン等化時間t_bとを比較すれば容易にわかる。加えて、このような内部電源電圧設定により、ビットラインの寄生キャパシタンスと電圧との積により決定される動作電流を減少させ得る。

【0008】

【発明が解決しようとする課題】上記のような各内部電源電圧V_{int}を発生する内部電源電圧発生回路における通常の動作電圧はデータ仕様で提示されるが、通常の動作電圧の10%増し以上の外部電源電圧V_{ext}が印加されるバーンインテストの場合には、内部電源電圧V_{int}は仕様通りにクランプされず、外部電源電圧V_{ext}に沿って上昇するように設定されている。このように内部電源電圧を上昇させる回路は、外部電源電圧V_{ext}と内部電源電圧V_{int}との間に1つ以上の電圧降下素子、例えばダイオードを直列に設けた構成をもつものとされ、外部電源電圧V_{ext}と内部電源電圧V_{int}との電圧差がその電圧降下素子を駆動し得るほどになったときに内部電源電圧V_{int}を外部電源電圧V_{ext}に従って上昇させるようにしてある。

【0009】この場合、相互に異なる電圧レベルとしたメモリアレイ内部電源電圧V_{array}及び周辺内部電源電圧V_{peri}は、バーンインテスト可能な電圧状態になるときにはその電圧差が相殺されて外部電源電圧V_{ext}に従って上昇することになる。その結果、ビットライン等化特性が劣化する。

【0010】図3に、内部電源電圧発生回路の回路例を示して具体的に説明する。これは、本願出願人による米国特許出願の第5, 144, 585号に開示されている。

【0011】図示の内部電源電圧発生回路は、周辺内部電源電圧発生回路11aとメモリアレイ内部電源電圧発生回路11bとを備えている。これら周辺内部電源電圧発生回路11a及びメモリアレイ内部電源電圧発生回路11bは、同様の構成とされ、周辺内部電源電圧V_{peri}、メモリアレイ内部電源電圧V_{array}の各レベルをそれぞれ決定する分圧回路15a, 15bと、これによる周辺内部電源電圧V_{peri}、メモリアレイ内部電源電圧V_{array}の各分圧電圧V_{per-f}, V_{array-f}を、基準電圧発生回路12による比較電圧V_{REF}とそれぞれ比較する差動増幅器13a, 差動増幅器13bと、差動増幅器13a, 13bの出力に従う駆動回路14a, 14bと、バーンインテスト時に外部電源電圧V_{ext}に従って上昇する内部電源電圧V_{int}を発生するための電圧上昇

回路16a, 16bと、から構成されている。

【0012】この回路の動作特性について図4に示し説明する。周辺内部電源電圧V_{peri}及びメモリアレイ内部電源電圧V_{array}の出力レベルは、差動増幅器13a, 13bの入力インピーダンスが無限であると仮定すれば、比較電圧V_{REF}を用いて次のような式で表せる。つまり、周辺内部電源電圧V_{peri}及びメモリアレイ内部電源電圧V_{array}の各レベルは分圧回路15a, 15bの抵抗比により調整可能で、R_{1'}/R_{2'}をR₁/R₂の値より小さく設定することにより、メモリアレイ内部電源電圧V_{array}レベルを周辺内部電源電圧V_{peri}レベルより低く設定することができる。

$$【数1】 V_{peri} = V_{REF} (1 + R_1 / R_2)$$

$$V_{array} = V_{REF} (1 + R_{1'} / R_{2'})$$

【0013】この回路において外部電源電圧V_{ext}が上昇する場合、第1の電圧上昇回路16a及び第2の電圧上昇回路16bを駆動し得る電圧差が外部電源電圧V_{ext}と内部電源電圧V_{int}との間に発生するまでは、図4に示すように、内部電源電圧V_{int}は定レベルにクランプされる。更に外部電源電圧V_{ext}が上昇し、第1の電圧上昇回路16a及び第2の電圧上昇回路16bを駆動し得る電圧差n·V_{tp}が発生すれば、外部電源電圧V_{ext}に伴って内部電源電圧V_{int}は上昇していく。電圧差n·V_{tp}のnは電圧上昇回路16a, 16bに使用されるダイオード数を表し、V_{tp}はPMOSトランジスタのしきい値電圧を表す。

【0014】外部電源電圧V_{ext}が電圧差n·V_{tp}以上をもって供給されるようになると、周辺内部電源電圧V_{peri}及びメモリアレイ内部電源電圧V_{array}は、まず図4に期間Aで示すようにメモリアレイ内部電源電圧V_{array}が周辺内部電源電圧V_{peri}のレベルへ上昇し、そしてそれ以降、メモリアレイ内部電源電圧V_{array}と周辺内部電源電圧V_{peri}のレベルは等しくなって外部電源電圧V_{ext}に従い上昇していく特性を有する。従って、この場合には半導体メモリ装置の動作電流を減少させてビットラインの等化特性を良好にするという効果を得られないという問題がある。

【0015】以上の従来技術に鑑みて本発明は、外部電源電圧が上昇する場合でも、メモリアレイ内部電源電圧と周辺内部電源電圧がそのクランプレベルにおける差分を保って外部電源電圧に追従する出力特性を可能とするような内部電源電圧発生回路を提供する。

【0016】

【課題を解決するための手段】この目的のために本発明では、周辺内部電源電圧発生回路とメモリアレイ内部電源電圧発生回路とを備えてレベルの異なる周辺回路用の周辺内部電源電圧及びメモリアレイ用のメモリアレイ内部電源電圧を外部電源電圧から発生すると共に、外部電源電圧が上昇するときには、電圧降下素子で構成した電圧上昇回路により外部電源電圧に伴い周辺内部電源電圧

及びメモリアレイ内部電源電圧を上昇させるようになつた内部電源電圧発生回路において、周辺内部電源電圧発生回路とメモリアレイ内部電源電圧発生回路とに電圧降下値の異なる電圧上昇回路を使用し、所定のレベル差をもつて周辺内部電源電圧とメモリアレイ内部電源電圧とを上昇させるようにすることを特徴とする。

【0017】より具体的には、外部電源電圧を一定レベル降下させ、周辺回路用の内部電源電圧及びメモリアレイ用の内部電源電圧を供給する半導体メモリ装置の内部電源電圧発生回路において、各内部電源電圧をそれぞれ分圧する第1及び第2の分圧回路と、一定の比較電圧と前記第1及び第2の分圧回路の各出力電圧とをそれぞれ比較する第1及び第2の差動増幅器と、該第1及び第2の差動増幅器の各出力に従って、外部電源電圧から各内部電源電圧をそれぞれ発生する第1及び第2の駆動回路と、外部電源電圧が上昇する場合に、前記第1の駆動回路による内部電源電圧と前記第2の駆動回路による内部電源電圧との間に所定のレベル差を保つてこれら各内部電源電圧をそれぞれ上昇させる第1及び第2の電圧上昇回路と、を備えることを特徴とする。或いは、半導体メモリ装置に供給される外部電源電圧を変換して内部電源電圧を発生する内部電源電圧発生回路において、周辺内部電源電圧を周辺回路に供給する第1の内部電源電圧発生回路及び前記周辺内部電源電圧より低いメモリアレイ内部電源電圧をメモリアレイに供給する第2の内部電源電圧発生回路を備え、これら第1及び第2の内部電源電圧発生回路は、周辺内部電源電圧及びメモリアレイ内部電源電圧をそれぞれ一定の比率で分圧した第1及び第2の分圧電圧と一定の比較電圧とをそれぞれ比較する第1及び第2の比較器と、該第1及び第2の比較器による各比較出力にそれぞれ応じて外部電源電圧から周辺内部電源電圧及びメモリアレイ内部電源電圧をそれぞれ出力する第1及び第2の駆動回路と、それぞれ電圧降下素子を有してなり、外部電源電圧をその電圧降下素子に通した結果の各電圧がそれぞれ周辺内部電源電圧及びメモリアレイ内部電源電圧よりも高くなるときに周辺内部電源電圧及びメモリアレイ内部電源電圧をそれぞれ前記電圧降下素子を通した各電圧として出力する第1及び第2の電圧上昇回路と、から構成され、外部電源電圧が上昇した場合に、周辺内部電源電圧及びメモリアレイ内部電源電圧が一定のレベル差を有して上昇するように、前記第1及び第2の電圧上昇回路の電圧降下特性を変えてあることを特徴とする。

【0018】このような電圧変換回路の電圧上昇回路としては、ダイオード素子を用いた構成とすればよく、特に、PMOSトランジスタを用いるとよい。この場合、PMOSトランジスタの個数が各電圧上昇回路で異なるようにする、或いは、PMOSトランジスタのしきい値電圧が各電圧上昇回路で異なるようにすることで、電圧降下特性を変更可能である。そして、メモリアレイ用の

内部電源電圧に対する電圧上昇回路により駆動される電圧が、周辺回路用の内部電源電圧に対する電圧上昇回路により駆動される電圧よりも低いものとしておくと好ましい。

【0019】

【発明の実施の形態】以下、本発明の実施形態につき添付図面を参照して詳細に説明する。

【0020】尚、ここに言う“バーンインテスト”とは、メモリセルトランジスタ等のゲートに高電圧ストレスを加えることにより、脆弱なトランジスタを早期発見するテストのことで、不良の可能性のあるチップを予め抽出する方法として使用されている。バーンインテストは、例えば通常5Vの外部電源電圧を7V～9Vへ上昇させてチップに供給することで実施される。

【0021】図5に、本発明による内部電源電圧発生回路の回路図を示す。図示の回路は、第1の電圧上昇回路26a及び第2の電圧上昇回路26b内の電圧降下素子数、この例ではダイオード数が異なる点を除き、図3の従来例と同様の構成をもっている。図6は、この回路の出力特性図である。これらを参照しつつ動作説明する。

【0022】本実施形態において、第2の内部電源電圧発生回路21b内の電圧上昇回路26bのダイオード数は、第1の内部電源電圧発生回路21a内の電圧上昇回路26aのダイオード数より1つ多くしてある。即ち、第1の電圧上昇回路26a内のダイオード数はn、第2の電圧上昇回路26b内のダイオード数はn+1である。出力される周辺内部電源電圧Vperi及びメモリアレイ内部電源電圧Varrayの内部電源電圧Vintは、外部電源電圧Vextを上昇させれば、一定期間ではクランプされているが、各電圧上昇回路25a、25bが駆動し得る電圧差が発生するまで外部電源電圧Vextが上昇すると、期間B以降に示すように外部電源電圧Vextに従って上昇するようになる。このような外部電源電圧Vextに伴う周辺内部電源電圧Vperi及びメモリアレイ内部電源電圧Varrayは、次のような式で表せる。つまり、従来のように、周辺内部電源電圧Vperi及びメモリアレイ内部電源電圧Varrayが同じレベルになる図4の期間Aのような現像は見られない。

$$\begin{aligned} \text{【数2】} \quad V_{peri} &= V_{ext} - n \cdot V_{tp} \\ V_{array} &= V_{ext} - (n+1) \cdot V_{tp} \end{aligned}$$

【0023】従来の回路においては電圧上昇回路15a、15b内のダイオード数が同じであったため、外部電源電圧Vextの上昇によりメモリアレイ内部電源電圧Varrayと周辺内部電源電圧Vperiのレベルが等しくなる期間Aが存在することになっていた。一方、これを防止する本実施形態においては、メモリアレイ内部電源電圧Varrayを制御する電圧上昇回路25bの方に少なくとも1つ多くダイオードを直列接続してあるので、期間

Bのように、その追加ダイオードのしきい値分、メモリアレイ内部電源電圧Varrayと周辺内部電源電圧Vperiとのレベル差が保たれて上昇する。即ち、外部電源電圧Vextの上昇に伴って、その差分を維持しつつ両内部電源電圧は上昇する。従って、ビットライン等化時間を減少させ得る。

【0024】このことは、バーンインテストの場合に限らず、外部電源電圧Vextが過渡的に異常に高く供給される場合等でも、メモリアレイ内部電源電圧Varrayを周辺内部電源電圧Vperiレベルより低く保つことができ、このような場合にもビットライン等化特性を維持可能になるので、非常に効果的である。

【0025】以上、本発明の最適例を説明したが、例えば電圧上昇回路25a、25bは、PMOSを使用して構成するものに限らず、例えばNMOSトランジスタを使用する回路構成でも実施可能である。また、周辺内部電源電圧Vperiを制御する電圧上昇回路25aとメモリアレイ内部電源電圧Varrayを制御する電圧上昇回路25bとのダイオード形PMOSFET数を同数としておき、電圧上昇回路25bの各PMOSFETについてはそのバックバイアス電圧として外部電源電圧Vextを等しく共通に印加するようにした構成も可能で、この場合には、ボディ効果により電圧上昇回路25bのPMOSFETのしきい値電圧が上がる所以、素子数を変える上記実施形態同様の効果を得られる。

【0026】

【発明の効果】本発明による内部電源電圧発生回路は、電圧降下値を変えた電圧上昇回路を備えるようにしたことで、バーンインテストのときや外部電源電圧にノイズがのるような場合でもメモリアレイ内部電源電圧を周辺内部電源電圧のレベルよりも低く保つことができ、ビットライン等化特性を向上させ、安定させられる。

【図面の簡単な説明】

【図1】メモリセルのデータ感知回路及び感知制御回路を示す回路図。

【図2】図1に示した回路の動作タイミングを示す信号波形図。

【図3】従来の内部電源電圧発生回路を示す回路図。

【図4】図3に示した回路の出力特性図。

【図5】本発明による内部電源電圧発生を示す回路図。

【図6】図5に示した回路の出力特性図。

【符号の説明】

21a 周辺内部電源電圧発生回路

21b メモリアレイ内部電源電圧発生回路

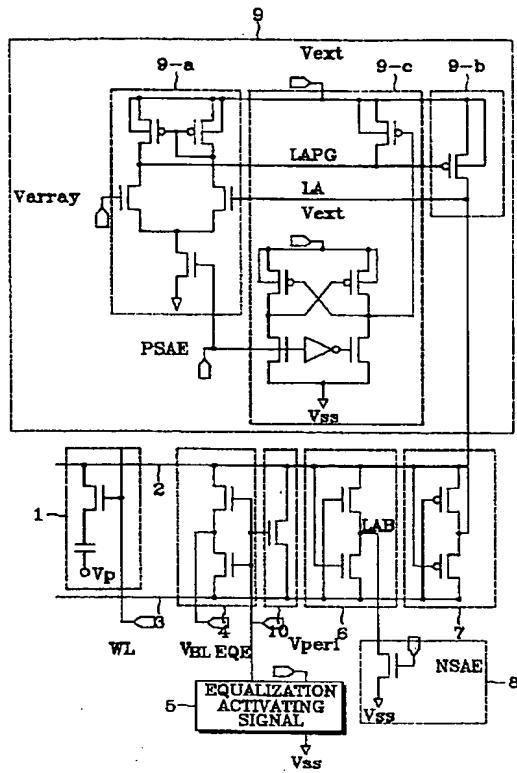
23a, 23b 差動増幅器(比較器)

24a, 24b 駆動回路

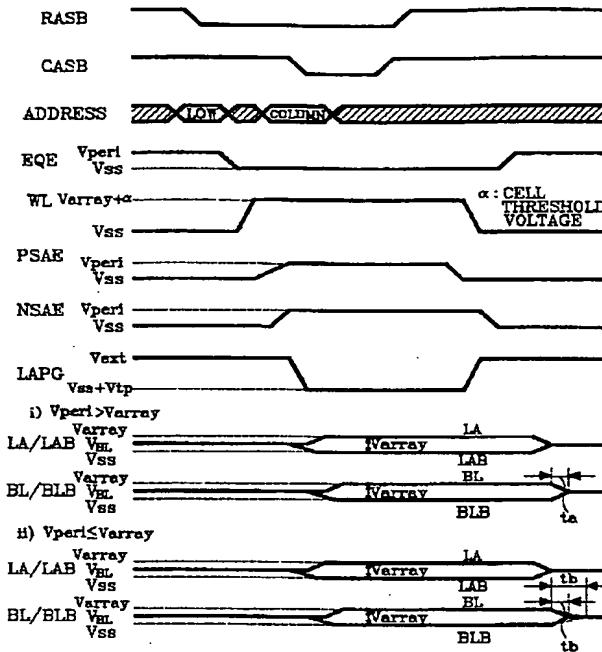
25a, 25b 分圧回路

26a, 26b 電圧上昇回路

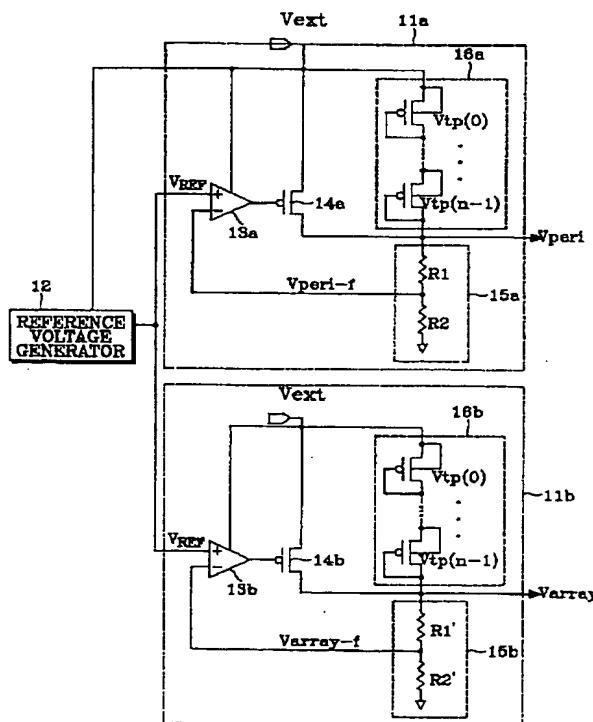
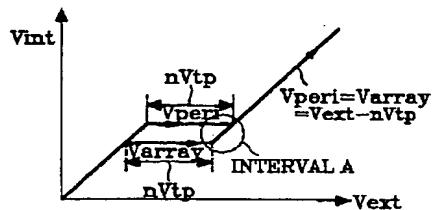
【図1】



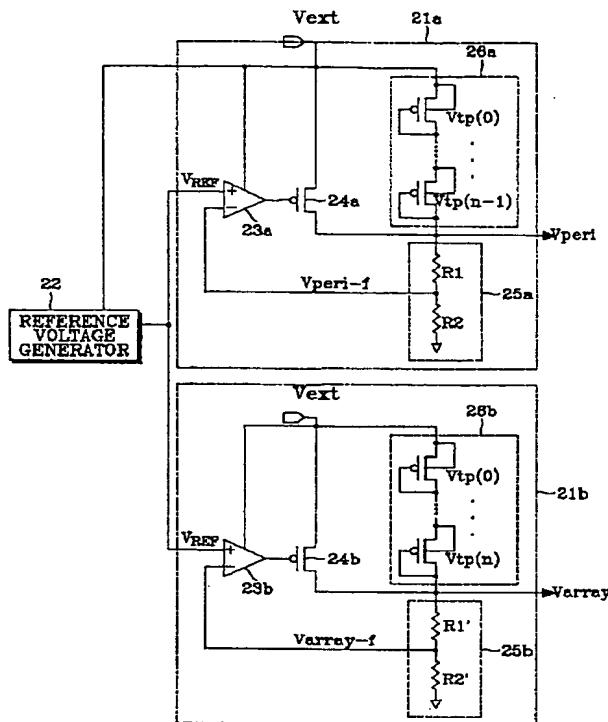
【図2】



【図4】



【図5】



【図6】

